

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-40990

(P2002-40990A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl.	識別記号	F I	テーマコード (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 D
			6 2 3 W

審査請求 未請求 請求項の数17 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2001-142827(P2001-142827)

(22) 出願日 平成13年5月14日 (2001.5.14)

(31) 優先権主張番号 特願2000-145853(P2000-145853)

(32) 優先日 平成12年5月18日 (2000.5.18)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 棚田 好文

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

F ターム (参考) 3K007 AB18 BA06 CA03 DA02 EB00

GA00

5C080 AA06 BB05 DD03 DD07 DD23

EE29 FF11 JJ02 JJ03 JJ04

JJ06

5C094 AA05 BA03 BA27 CA19 EA04

EA07

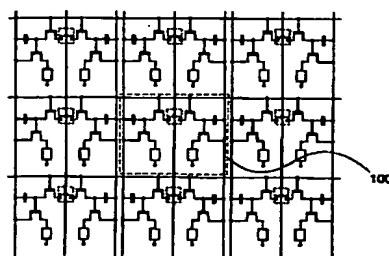
(54) 【発明の名称】 電子装置およびその駆動方法

(57) 【要約】

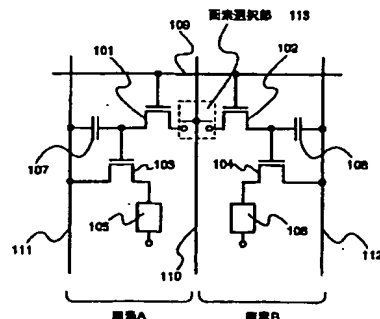
【課題】 画素部の高精細化に伴い、新規の構成を有する画素を用いることでソース信号線側駆動回路の段数を水平方向画素数の1/2とし、余裕を持たせた配置とすることが出来、かつ高開口率化にも貢献出来る電気光学装置を提供することを課題とする。

【解決方法】 1水平期間を前半、後半の期間に分割し、1本のソース信号線には隣接した2画素分の信号を順次入力し、隣接した2画素の間に配置した画素選択部によって1水平期間の前半もしくは後半で、それぞれ一方の画素を選択して信号の書き込みを行う。1本のソース信号線を隣接した2画素で共有出来るため、開口率の面でも有利となる。

(A)



(B)



【特許請求の範囲】

【請求項1】ソース信号線側駆動回路と、ゲート信号線側駆動回路と、画素選択信号線側駆動回路と、画素部とを有し、

前記画素部は、 m 本のソース信号線と、 k 本のゲート信号線と、 $2km$ 個の画素を有し、

前記 m 本のソース信号線はそれぞれ、 k 個の画素選択部を有し、

前記 m 本のソース信号線の各々は、画素選択部を介して $2k$ 個の画素と電気的に接続され、

前記 $2km$ 個の画素はそれぞれ、スイッチング用トランジスタと、EL駆動用トランジスタと、EL素子とを有し、

前記スイッチング用トランジスタのゲート電極は、前記ゲート信号線と電気的に接続され、

前記スイッチング用トランジスタの不純物領域は、一方はソース信号線と電気的に接続され、残る一方は前記EL駆動用トランジスタのゲート電極と電気的に接続され、

前記EL駆動用トランジスタの不純物領域は、一方は電流供給線と電気的に接続され、残る一方はEL素子の一方の電極と電気的に接続されていることを特徴とする電子装置。

【請求項2】ソース信号線側駆動回路と、ゲート信号線側駆動回路と、画素選択信号線側駆動回路と、画素部とを有し、

前記画素部は、 m 本のソース信号線と、 k 本のゲート信号線と、 $2km$ 個の画素を有し、

前記 $2km$ 個の画素はそれぞれ、スイッチング用トランジスタと、EL駆動用トランジスタと、EL素子とを有し、

前記スイッチング用トランジスタのゲート電極は、前記ゲート信号線と電気的に接続され、

前記スイッチング用トランジスタの不純物領域は、一方は画素選択部を介してソース信号線と電気的に接続され、残る一方は前記EL駆動用トランジスタのゲート電極と電気的に接続され、

前記EL駆動用トランジスタの不純物領域は、一方は電流供給線と電気的に接続され、残る一方はEL素子の一方の電極と電気的に接続されていることを特徴とする電子装置。

【請求項3】請求項1もしくは請求項2に記載の電子装置において、

前記ソース信号線側駆動回路は、1水平期間に2回の映像信号の書き込み動作を、 m 本のソース信号線それぞれに対して行うことを特徴とする電子装置。

【請求項4】請求項1乃至請求項3のいずれか1項に記載の電子装置において、

1個の前記画素選択部には、第1の画素と第2の画素とが電気的に接続され、

前記画素選択部は、1水平期間の前半の期間においては第1の画素を選択し、1水平期間の後半の期間においては第2の画素を選択し、

ソース信号線から入力される映像信号は、前記画素選択部によって選択されている側の画素にのみ書き込まれることを特徴とする電子装置。

【請求項5】請求項1乃至請求項4のいずれか1項に記載の電子装置において、

前記画素選択部は、 N チャネル型トランジスタと、 P チャネル型トランジスタとを有することを特徴とする電子装置。

【請求項6】請求項1乃至請求項4のいずれか1項に記載の電子装置において、

前記画素選択部は、アナログスイッチを有することを特徴とする電子装置。

【請求項7】1フレーム期間は n 個のサブフレーム期間 SF_1 、 SF_2 、 \dots 、 SF_n を有し、

前記サブフレーム期間はそれぞれアドレス（書き込み）期間 TA_1 、 TA_2 、 \dots 、 TA_n とサステイン（点灯）期間 TS_1 、 TS_2 、 \dots 、 TS_n とを有し、

EL素子の発光時間を制御することによって n ビットの階調表示を行う電子装置の駆動方法において、

前記電子装置の水平方向の画素数が $2m$ 個であるとき、1水平期間を2つの期間に分割し、一方の期間においては1、3、 \dots 、 $2m-3$ 、 $2m-1$ 番目の画素への映像信号の書き込みが行われ、残る一方の期間においては2、4、 \dots 、 $2m-2$ 、 $2m$ 番目の画素への映像信号の書き込みが行われることを特徴とする電子装置の駆動方法。

【請求項8】請求項7に記載の電子装置の駆動方法において、

1、3、 \dots 、 $2m-3$ 、 $2m-1$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の前半であり、2、4、 \dots 、 $2m-2$ 、 $2m$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の後半であることを特徴とする電子装置の駆動方法。

【請求項9】請求項7に記載の電子装置の駆動方法において、

1、3、 \dots 、 $2m-3$ 、 $2m-1$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の後半であり、2、4、 \dots 、 $2m-2$ 、 $2m$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の前半であることを特徴とする電子装置の駆動方法。

【請求項10】請求項1乃至請求項6のいずれか1項に記載の電子装置を用いることを特徴とするELディスプレイ。

【請求項11】請求項1乃至請求項6のいずれか1項に記載の電子装置を用いることを特徴とする携帯電話。

【請求項12】請求項1乃至請求項6のいずれか1項に記載の電子装置を用いることを特徴とするカーオーディ

オ。

【請求項13】請求項1乃至請求項6のいずれか1項に記載の電子装置を用いることを特徴とするデジタルカメラ。

【請求項14】請求項1乃至請求項6のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするELディスプレイ。

【請求項15】請求項1乃至請求項6のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とする携帯電話。

【請求項16】請求項1乃至請求項6のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするカーオーディオ。

【請求項17】請求項1乃至請求項6のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするデジタルカメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子装置の構成に関する。本発明は、特に、絶縁体上に作成される薄膜トランジスタ(TFT)を有するアクティブマトリクス型電子装置およびアクティブマトリクス型電子装置の駆動方法に関する。

【0002】

【従来の技術】近年、LCD(液晶ディスプレイ)に替わるフラットパネルディスプレイとして、EL(エレクトロルミネッセンス)ディスプレイが注目を集めており、活発な研究が行われている。

【0003】LCDには、駆動方式として大きく分けて2つのタイプがあった。1つは、STN-LCDなどに用いられているパッシブマトリクス型であり、もう1つは、TFT-LCDなどに用いられているアクティブマトリクス型であった。ELディスプレイにおいても、同様に、大きく分けて2種類の駆動方式がある。1つはパッシブマトリクス型、もう1つがアクティブマトリクス型である。

【0004】パッシブマトリクス型の場合は、EL素子の上部と下部とに、電極となる配線が配置されている。そして、その配線に電圧を順に加えて、EL素子に電流を流すことによって点灯させている。一方、アクティブマトリクス型の場合は、各画素にTFTを有し、各画素内で信号を保持出来るようになっている。

【0005】図21は、デジタル駆動によるアクティブマトリクス型電子装置の構成例である。中央に画素部2101が配置されている。画素部2101の周囲には、ソース信号線を制御するための、ソース信号線側駆動回路2102および、ゲート信号線を制御するための、ゲート信号線側駆動回路2106が配置されている。図21においては、ゲート信号線側駆動回路2106は、画素部2101の片側にのみ配置されているが、画素部2

101を挟むようにして、ゲート信号線の両側に配置するのが、実際の駆動においては、動作の信頼性、効率の面でより望ましい。また、EL素子に電流を供給するための電源部(Supply)が、画素部2101の各電流供給線に接続されている。

【0006】EL素子は、エレクトロルミネッセンス(Electro Luminescence: 電場を加えることで発生するルミネッセンス)が得られる有機化合物を含む層(以下、EL層と記す)と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明はどちらの発光を用いた電子装置にも適用可能である。

【0007】なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0008】また、本明細書中では、陽極、EL層及び陰極で形成される素子をEL素子と呼ぶ。

【0009】ソース信号線側駆動回路2102は、シフトレジスタ2103、第1のラッチ回路2104、第2のラッチ回路2105を有する。シフトレジスタ2103には、ソース側クロック信号(S-CLK)、ソース側スタートパルス(S-SP)が入力され、第1のラッチ回路2104には、デジタル映像信号(Digital Data)が入力され、第2のラッチ回路2105には、ラッチパルス(Latch Pulse)が入力される。

【0010】ゲート信号線側駆動回路2106は、シフトレジスタ(図示せず)を有する。シフトレジスタには、ゲート側クロック信号(G-CLK)、ゲート側スタートパルス(G-SP)が入力される。

【0011】回路の駆動について説明する。説明には、図21に付した番号を用いる。

【0012】ソース信号線側駆動回路2102において、シフトレジスタ2103に、ソース側クロック信号(S-CLK)、ソース側スタートパルス(S-SP)が入力される。シフトレジスタ2103は、これら入力信号に基づいて、順次パルスを出力する。シフトレジスタより順次出力されるパルスは、バッファ等(図示せず)を経由して第1のラッチ回路2104に入力され、デジタル映像信号(Digital Data)を各段で順次保持(ラッチ)する。第1のラッチ回路2104の最終段においてデータの保持が終了すると、第2のラッチ回路2105に、ラッチパルス(Latch Pu

lse)が入力され、第1のラッチ回路2104に保持されていたデータはバッファ等(図示せず)を経由して一斉に第2のラッチ回路2105に転送される。

【0013】ゲート信号線側駆動回路2106において、シフトレジスタ(図示せず)に、ゲート側クロック信号(G-CLK)、ゲート側スタートパルス(G-SP)が入力される。シフトレジスタは、これら入力信号に基づいて、順次パルスを出し、バッファ等(図示せず)を経由して、ゲート信号線選択パルスとして出力され、順次ゲート信号線を選択していく。

【0014】ソース信号線側駆動回路2102の第2のラッチ回路2105に転送されたデータは、ゲート信号線選択パルスによって選択されている行の画素に書き込まれる。この動作が繰り返されることにより、画像の表示がなされる。

【0015】続いて、画素部の駆動について説明する。図22に、図21の画素部2101の一部を示す。図22(A)は、3×3画素のマトリクスを示している。点線枠2200にて囲まれた部分が1画素であり、図22(B)にその拡大図を示す。図22(B)において、2201は、画素に信号を書き込む時のスイッチング素子として機能するTFT(以下、スイッチング用TFTという)である。このスイッチング用TFT2201にはNチャネル型もしくはPチャネル型のいずれの極性を用いても良い。2202はEL素子2203に供給する電流を制御するための素子(電流制御素子)として機能するTFT(以下、EL駆動用TFTという)である。EL駆動用TFT2202にPチャネル型を用いる場合には、EL素子2203の陽極2209と電流供給線2207との間に配置する。別の構成方法として、EL駆動用TFT2202にNチャネル型を用いて、EL素子2203の陰極2210と陰極電極2208との間に配置したりすることも可能である。しかし、TFTの動作としてソース接地が良いこと、EL素子2203の製造上の制約などから、EL駆動用TFT2202にはPチャネル型を用い、EL素子2203の陽極2209と電流供給線2207との間にEL駆動用TFT2202を配置する方式が一般的であり、多く採用されている。2204は、ソース信号線2206から入力される信号(電圧)を保持するための保持容量である。図22(B)での保持容量2204の一方の端子は、電流供給線2207に接続されているが、専用の配線を用いることもある。スイッチング用TFT2201のゲート電極は、ゲート信号線2205に、ソース領域は、ソース信号線2206に接続されている。

【0016】次に、同図22を参照して、アクティブマトリクス型電子装置の回路の動作について説明する。まず、ゲート信号線2205が選択されると、スイッチング用TFT2201のゲート電極に電圧が印加され、スイッチング用TFT2201が導通状態になる。する

と、ソース信号線2206の信号(電圧)が保持容量2204に蓄積される。保持容量2204の電圧は、EL駆動用TFT2202のゲート・ソース間電圧 V_{gs} となるため、保持容量2204の電圧に応じた電流がEL駆動用TFT2202とEL素子2203に流れる。その結果、EL素子2203が点灯する。

【0017】EL素子2203の輝度、つまりEL素子2203を流れる電流量は、EL駆動用TFT2202の V_{gs} によって制御出来る。 V_{gs} は、保持容量2204の電圧であり、それはソース信号線2206に入力される信号(電圧)である。つまり、ソース信号線2206に入力される信号(電圧)を制御することによって、EL素子2203の輝度を制御する。最後に、ゲート信号線2205を非選択状態にして、スイッチング用TFT2201のゲートを閉じ、スイッチング用TFT2201を非導通状態にする。その時、保持容量2204に蓄積された電荷は保持される。よって、EL駆動用TFT2202の V_{gs} は、そのまま保持され、 V_{gs} に応じた電流が、EL駆動用TFT2202を経由してEL素子2203に流れ続ける。

【0018】EL素子の駆動等に関しては、SID99 Digest: P372: "Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT", ASI A DISPLAY98: P217: "High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver", Euro Display99 Late News: P27: "3.8 Green OLED with Low Temperature Poly-Si TFT"などに報告されている。

【0019】

【発明が解決しようとする課題】近年、ELディスプレイは、その大画面化と並び、さらなる高精細化が求められている。しかし、画素部分を高精細にすべく画素ピッチを縮小することによって、駆動回路の配置スペースを圧迫するという問題点がある。つまり、例えば同サイズのパネルにおいて、VGAからXGAとする場合、水平方向の画素数は640画素から1024画素に増加する。このとき1画素の幅は62.5[%]となり、ソース信号線側駆動回路の1段分の配置幅も62.5[%]まで縮小することになる。

【0020】上記の問題を解決するには、駆動回路のさらなる縮小が必要となってくるが、デザインルール、回路動作の信頼性、歩留まりの点等を考慮すると、容易な解決策とは言い難い。

【0021】よって本発明においては、新規の構造を有する画素を用いて、前述した駆動回路の配置スペースの問題を回避しつつ、さらなる高精細化の可能な電子装置を提供することを課題とする。

【0022】

【課題を解決するための手段】上述した課題を解決する

ために、本発明においては以下のような手段を講じた。

【0023】通常の画素は、図22(B)に示したように、1画素あたり1本のソース信号線2206と、1本のゲート信号線2205と、1本の電流供給線2207を有していた。本発明の電子装置における画素は、図1に示すように、隣接した2画素の間に1本のソース信号線110を有し、画素Aと画素Bとで共有する。しかし、そのままでは画素Aと画素Bとは常に同じ画像信号しか書き込むことが出来ない。よって、画素選択部113を設け、ソース信号線110に入力される画像信号を、画素Aのスイッチング用TFT101もしくは画素Bのスイッチング用TFT102のいずれか一方にのみ通すようにする。駆動方法について簡潔に説明すると、1水平期間を前半と後半との期間に分割し、前半の期間で画素Aへの書き込みを完了する。その後、後半の期間では画素Bへの書き込みを完了するという手順をとる。

【0024】このような構造とすることで、ソース信号線側駆動回路の段数を、水平方向の画素数の1/2の段数(駆動回路の構成により、ダミー段を有する場合はこの限りではない)とすることが出来るため、高精細化によって画素ピッチが縮小した場合にも、容易に駆動回路の配置が可能となる。

【0025】以下に、本発明の電子装置の構成について記載する。

【0026】請求項1に記載の本発明の電子装置は、ソース信号線側駆動回路と、ゲート信号線側駆動回路と、画素選択信号線側駆動回路と、画素部とを有し、前記画素部は、m本のソース信号線と、k本のゲート信号線と、2km個の画素を有し、前記m本のソース信号線はそれぞれ、k個の画素選択部を有し、前記m本のソース信号線の各々は、画素選択部を介して2k個の画素と電気的に接続され、前記2km個の画素はそれぞれ、スイッチング用トランジスタと、EL駆動用トランジスタと、EL素子とを有し、前記スイッチング用トランジスタのゲート電極は、前記ゲート信号線と電気的に接続され、前記スイッチング用トランジスタの不純物領域は、一方はソース信号線と電気的に接続され、残る一方は前記EL駆動用トランジスタのゲート電極と電気的に接続され、前記EL駆動用トランジスタの不純物領域は、一方は電流供給線と電気的に接続され、残る一方はEL素子の一方の電極と電気的に接続されていることを特徴としている。

【0027】請求項2に記載の本発明の電子装置は、ソース信号線側駆動回路と、ゲート信号線側駆動回路と、画素選択信号線側駆動回路と、画素部とを有し、前記画素部は、m本のソース信号線と、k本のゲート信号線と、2km個の画素を有し、前記2km個の画素はそれぞれ、スイッチング用トランジスタと、EL駆動用トランジスタと、EL素子とを有し、前記スイッチング用トランジスタのゲート電極は、前記ゲート信号線と電気的に

に接続され、前記スイッチング用トランジスタの不純物領域は、一方は画素選択部を介してソース信号線と電気的に接続され、残る一方は前記EL駆動用トランジスタのゲート電極と電気的に接続され、前記EL駆動用トランジスタの不純物領域は、一方は電流供給線と電気的に接続され、残る一方はEL素子の一方の電極と電気的に接続されていることを特徴としている。

【0028】請求項3に記載の本発明の電子装置は、請求項1もしくは請求項2において、前記ソース信号線側駆動回路は、1水平期間に2回の映像信号の書き込み動作を、m本のソース信号線それぞれに対して行うことを特徴としている。

【0029】請求項4に記載の本発明の電子装置は、請求項1もしくは請求項2において、1個の前記画素選択部には、第1の画素と第2の画素とが電気的に接続され、前記画素選択部は、1水平期間の前半の期間においては第1の画素を選択し、1水平期間の後半の期間においては第2の画素を選択し、ソース信号線から入力される映像信号は、前記画素選択部によって選択されている側の画素にのみ書き込まれることを特徴としている。

【0030】請求項5に記載の本発明の電子装置は、請求項1もしくは請求項2において、前記画素選択部は、Nチャネル型トランジスタと、Pチャネル型トランジスタとを有することを特徴としている。

【0031】請求項6に記載の本発明の電子装置は、請求項1もしくは請求項2において、前記画素選択部は、アナログスイッチを有することを特徴としている。

【0032】請求項7に記載の本発明の電子装置の駆動方法は、1フレーム期間はn個のサブフレーム期間 SF_1 、 SF_2 、 \dots 、 SF_n を有し、前記サブフレーム期間はそれぞれアドレス(書き込み)期間 T_{a_1} 、 T_{a_2} 、 \dots 、 T_{a_n} とサステイン(点灯)期間 T_{s_1} 、 T_{s_2} 、 \dots 、 T_{s_n} とを有し、EL素子の発光時間を制御することによってnビットの階調表示を行う電子装置の駆動方法において、前記電子装置の水平方向の画素数が2m個であるとき、1水平期間を2つの期間に分割し、一方の期間においては1、3、 \dots 、 $2m-3$ 、 $2m-1$ 番目の画素への映像信号の書き込みが行われ、残る一方の期間においては2、4、 \dots 、 $2m-2$ 、 $2m$ 番目の画素への映像信号の書き込みが行われることを特徴としている。

【0033】請求項8に記載の本発明の電子装置の駆動方法は、請求項7において、1、3、 \dots 、 $2m-3$ 、 $2m-1$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の前半であり、2、4、 \dots 、 $2m-2$ 、 $2m$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の後半であることを特徴としている。

【0034】請求項9に記載の本発明の電子装置の駆動方法は、請求項7において、1、3、 \dots 、 $2m-$

3、 $2m-1$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の後半であり、2、4、 \dots 、 $2m-2$ 、 $2m$ 番目の画素への映像信号の書き込みが行われる期間は、1水平期間の前半であることを特徴としている。

【0035】

【発明の実施の形態】以下に、本発明の実施形態について述べる。

【0036】本発明の主な構成を図1に示す。図1

(A)中、点線枠で示される部分を図1(B)に拡大して示す。

【0037】本発明の電子装置の有する画素においては、1本のソース信号線110に、2つの画素が接続されている点に特徴がある。2つの画素をそれぞれ、第1のスイッチング用TFT101、第1のEL駆動用TFT103、第1のEL素子105、第1の保持容量107を有する画素Aと、第2のスイッチング用TFT102、第2のEL駆動用TFT104、第2のEL素子106、第2の保持容量108を有する画素Bと表記する。画素選択部113は、ソース信号線から入力される映像信号を、画素Aの第1のスイッチング用TFT101もしくは、画素Bの第2のスイッチング用TFT102にのみ出力する機能を有する。第1のスイッチング用TFT101、第2のスイッチング用TFT102は、前述のようにその極性はNチャネル型でもPチャネル型でも構わない。また、第1のEL駆動用TFT103および第2のEL駆動用TFT104の極性は、前述のようにEL素子の構造に合わせてその極性を決定すればよい。

【0038】ここで、 $m \times k$ 画素を有する電子装置は、 $m/2$ 本のソース信号線と、 k 本のゲート信号線とを有し、ソース信号線を挟んで隣接する2画素が、画素選択部を介してソース信号線と電気的に接続される。ゲート信号線は k 本であるから、ソース信号線1本あたりと接続される画素の数は、 $2 \times (\text{ゲート信号線の本数}) = 2k$ 個である。

【0039】横方向に並んだ画素選択部113は全て一様に動作をする。つまり、図1(A)において、あるゲート信号線選択期間では、まず前半で画素選択部113に信号が入力されると、画素Aへのみ書き込みが行われ、後半になると、画素選択部に再び信号が入力され、画素Bへのみ書き込みが行われる。よって、ソース信号線側駆動回路は、1水平期間内に、画素Aへの書き込み、画素Bへの書き込みと、2回の書き込み動作を行う。

【0040】図2(A)は、通常の電子装置のソース信号線側駆動回路と画素部の1行とを示している。ソース信号線側駆動回路200は、1本のソース信号線の制御を行うためのシフトレジスタ、第1のラッチ回路、第2のラッチ回路を有する部分を1単位とし、それが複数段

繰り返される構造を有する。つまり、水平方向の画素数が m 画素である場合、ソース信号線側駆動回路の段数は画素数に等しく、 m 段を有する。図2(A)において、ソース信号線側駆動回路の1段分の回路を配置出来る幅は、D1で示された幅である。よって、パネルサイズの変更を伴わずに画素数を増やすことによって画素ピッチは狭くなり、必然的にD1も小さくなるため、駆動回路の配置が困難となる。

【0041】図2(B)は、本発明の電子装置のソース信号線側駆動回路と画素部の1行とを示している。ソース信号線側駆動回路210は、1本のソース信号線の制御を行うためのシフトレジスタ、第1のラッチ回路、第2のラッチ回路を有する部分を1単位とし、それが複数段繰り返される構造を有する。水平方向の画素数が n 画素である場合、本発明の構造を有する画素は、1本のソース信号線を共有しているため、図2(B)の回路は、ソース信号線を $m/2$ 本有している。よって、画素数は図2(A)と等しいが、駆動回路の段数は $m/2$ 段とすることが出来る。このとき、図2(B)において、ソース信号線側駆動回路の1段分の回路を配置出来る幅は、D2で示された幅である。画素ピッチが図2(A)、(B)の両者において等しければ、D2はD1のおよそ2倍であるから、高精細化により画素ピッチが狭くなった場合にも、駆動回路の配置は容易である。

【0042】タイミングチャートを用いて、実際の駆動について述べる。駆動方法としては、デジタル階調方式と時間階調方式とを組み合わせた方法で階調表現を行う場合を例にとって説明する。まず、従来の構成の画素を用いた電子装置における駆動方法について述べる。

【0043】図3は、水平 $m \times$ 垂直 n の画素数を有する電子装置において、4ビット(2'=16)階調、フレーム周波数60[Hz]で映像の表示を行う場合のタイミングチャートである。順を追って説明する。この場合、1秒間に60回、画面の描画を行う。1画面を1回描画する期間が1フレーム期間である。(図3(A))

【0044】1フレーム期間は、複数のサブフレーム期間に分割される。これは、EL素子の点灯時間の和を利用して階調表現を行うためであり、 k ビットの階調表現を行うためには、 k 個のサブフレーム期間を要する。ここでは、4ビット階調であるので、 $SF_1 \sim SF_4$ の4つのサブフレーム期間に分割される。各サブフレーム期間は、アドレス(書き込み)期間とサステイン(点灯)期間とを有する。アドレス(書き込み)期間は、1画面分の信号の書き込みを行う期間であるから、全てのアドレス(書き込み)期間 $T_{a_1} \sim T_{a_4}$ の長さは等しい。サステイン(点灯)期間については、 $T_{s_1} : T_{s_2} : T_{s_3} : T_{s_4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ とし、どのサステイン(点灯)期間にEL素子を点灯させるかによって階調を表現する。なお、このサブフレーム期間の順番は、順番は関係なく、ランダムにしても構わ

ない。(図3(B))

【0045】アドレス(書き込み)期間においては、1行目から順にゲート信号線が選択され、順次ソース信号線から入力されるデジタル映像信号を画素に書き込む。ゲート信号線1行あたりの選択期間を1水平期間と表記する。最終行までの選択が終了した後、サステイン(点灯)期間に移行し、EL素子が点灯する。(図3

(C))

【0046】1水平期間においては、前述したように、ソース信号線側駆動回路が動作し、デジタル映像信号の保持を行う。ドットデータサンプリング期間においては、シフトレジスタからのパルスを受けた第1のラッチ回路において、デジタル映像信号の保持がされ、水平方向1列分のラッチが終了すると、ラインデータラッチ期間において、第1のラッチ回路から第2のラッチ回路へと、デジタル映像信号が転送される。(図3(D))

【0047】以上が、デジタル階調方式と時間階調方式とを組み合わせた方法による駆動方法である。続いて、本発明の電子装置において同様の方法により駆動する場合について説明する。

【0048】図4は、図3と同様、水平 $m \times$ 垂直 n の画素数を有する電子装置において、4ビット($2^4=16$)階調、フレーム周波数60[Hz]で画像の表示を行う場合のタイミングチャートである。順を追って説明する。この場合、1秒間に60回、画面の描画を行う。1画面を1回描画する期間が1フレーム期間である。(図4(A))

【0049】1フレーム期間は、複数のサブフレーム期間に分割される。ここでは、4ビット階調であるので、 $SF_1 \sim SF_4$ の4つのサブフレーム期間に分割される。各サブフレーム期間は、アドレス(書き込み)期間とサステイン(点灯)期間とを有する。アドレス(書き込み)期間は、1画面分の信号の書き込みを行う期間であるから、全てのアドレス(書き込み)期間 $T_{a_1} \sim T_{a_4}$ の長さは等しい。サステイン(点灯)期間については、 $T_{s_1} : T_{s_2} : T_{s_3} : T_{s_4} = 2^3 : 2^2 : 2^1 : 2^0 = 8 : 4 : 2 : 1$ とし、どのサステイン(点灯)期間にEL素子を点灯させるかによって階調を表現する。なお、このサブフレーム期間の順番は、順番は関係なく、ランダムにしても構わない。(図4(B))

【0050】アドレス(書き込み)期間においては、1行目から順にゲート信号線が選択され、順次ソース信号線から入力されるデジタル映像信号を画素に書き込む。ゲート信号線1行あたりの選択期間を1水平期間と表記する。最終行までの選択が終了した後、サステイン(点灯)期間に移行し、EL素子が点灯する。ここまでの駆動方法、タイミングに関しては、通常と同様である。

(図4(C))

【0051】本発明の電子装置は、1水平期間の前半と後半とで、1本のソース信号線に接続された、異なる2

つの画素に信号の書き込みを行う。1水平期間の前半では、画素選択部によって選択された、1、3、5、 \dots 、 $m-3$ 、 $m-1$ 番目の画素(図1に示した画素Aに該当する)について、ドットデータサンプリング期間において、シフトレジスタからのパルスを受けた第1のラッチ回路において、デジタル映像信号の保持がされ、画素Aについて水平方向1行分のラッチが終了すると、ラインデータラッチ期間において、第1のラッチ回路から第2のラッチ回路へのデータの転送がされる。1水平期間の後半では、画素選択部によって選択された、2、4、6、 \dots 、 $m-2$ 、 m 番目の画素(図1に示した画素Bに該当する)について、ドットデータサンプリング期間において、シフトレジスタからのパルスを受けた第1のラッチ回路において、デジタル映像信号の保持がされ、画素Bについて水平方向1行分のラッチが終了すると、ラインデータラッチ期間において、第1のラッチ回路から第2のラッチ回路へと、デジタル映像信号が転送される。(図4(D))

【0052】通常、水平方向に m 個の画素を有する場合は、ソース信号線側駆動回路は m 段を有していたが、本発明の構成を用いることにより、 $m/2$ 段にすることが出来る。また、動作周波数を引き上げる必要等も無いため、信頼性の面でも問題はない。よって、画面の高精細化による画素ピッチの狭幅化によって、駆動回路の配置スペースの圧迫などといった、回路設計上の問題を回避することが出来る。

【0053】

【実施例】以下に本発明の実施例について記述する。

【0054】[実施例1]図5は、本発明の電子装置の回路構成例を示している。中央に画素部501が配置されている。画素部501の周囲には、ソース信号線を制御するための、ソース信号線側駆動回路502、ゲート信号線を制御するための、ゲート信号線側駆動回路506および、画素選択部を制御するための画素選択信号線側駆動回路507が配置されている。また、EL素子に電流を供給するための電源部(Supply)が、画素部501の各電流供給線に接続されている。

【0055】図5における画素部501の一部分を拡大したものを図6(A)に示す。図6(A)は、 6×3 画素のマトリクスを示している。点線枠600で囲まれた部分が1単位であり、2画素が含まれる。その拡大図を図6(B)に示す。

【0056】ソース信号線610の左右両側には、第1のスイッチング用TFT601、第1のEL駆動用TFT603、第1のEL素子605、第1の保持容量607を有する画素Aと、第2のスイッチング用TFT602、第2のEL駆動用TFT604、第2のEL素子606、第2の保持容量608を有する画素Bとが配置されている。本実施例においては、スイッチング用TFT601、602にはNチャネル型TFTを用い、EL駆

動用TFT603、604にはPチャンネル型TFTを用いた例を示している。画素選択部613は、本実施例ではNチャンネル型TFT615と、Pチャンネル型TFT616と、画素選択信号線614とを用いて構成されており、画素選択信号線にHi信号もしくはLo信号を入力することによって、Nチャンネル型TFT615もしくはPチャンネル型TFT616が導通し、ソース信号線610からの信号が画素Aもしくは画素Bに書き込まれる。

【0057】図6と、図7に示すタイミングチャートとを参照して、実際の駆動について説明する。図7(A)では、4ビットの階調表現のため、1フレーム期間を4個のサブフレーム期間に分割している。図7(B)は、図7(A)の中のある1個のサブフレーム期間について、ゲート信号線609と画素選択信号線614の電位を示したものである。

【0058】まず、1行目のゲート信号線が選択される(701)。この1水平期間の前半では、画素選択信号線614にはHi信号が入力され(702)、Nチャンネル型TFT615が導通する。よってこの間は画素Aの側にのみ信号の書き込みが行われる(705)。その後、1水平期間の後半で、画素選択信号線614にLo信号が入力されることで、先程導通していたNチャンネル型TFT615は非導通状態となり、代わってPチャンネル型TFT616が導通する。よってこの間は画素Bの側にのみ信号の書き込みが行われる(706)。

【0059】やがて最終行のゲート信号線が選択される(703)、最終行での信号の書き込みが完了すると、そのサブフレーム期間のアドレス(書き込み)期間が終了し、サステイン(点灯)期間において、EL素子605、606の点灯が始まる。サステイン(点灯)期間は、次のアドレス(書き込み)期間で、再び1行目のゲート信号線が選択される(710)まで続く。以上の動作を全てのサブフレーム期間で行うことにより、画像の表示を行う。

【0060】図6(A)に示した構造によると、R、G、B3色に対応した画素を有するカラー表示用の電子装置にも容易に適用出来る。各画素は、EL素子の横に付したR、G、Bに対応しているとする。EL素子は、R、G、Bの各色において、その電圧-輝度特性が異なるため、同一の輝度を得るには、各電流供給線630、640、650、660、670、680には異なる電位を与える必要がある。具体的には、電流供給線630、660にはRに対応した電位を、電流供給線640、670にはGに対応した電位を、電流供給線650、680にはBに対応した電位を与える。ソース信号線635にはRとGの信号を入力し、ソース信号線645にはBとRの信号を入力し、ソース信号線655にはGとBの信号を入力してやれば良い。

【0061】また、本実施例においては、画素Aと画素Bとの選択を行う際に、Nチャンネル型TFTとPチャネ

ル型TFTとを用いて行っているが、配置に余裕があるならば、アナログスイッチ等を用いて同様の操作を行う構成をとっても良いし、ゲート信号線を2本並行に配置して、画素A側のスイッチング用TFTは第1のゲート信号線の選択時に導通し、画素B側のスイッチング用TFTは第2のゲート信号線の選択時に導通するようにしても良い。

【0062】[実施例2]時間階調方式では、図8(A)に示すように、各サブフレーム期間で、1画面分の書き込みが終了した後にサステイン(点灯)期間が始まる。つまり、アドレス(書き込み)期間とサステイン(点灯)期間とは、完全に分離している。

【0063】この方式のメリットは、アドレス(書き込み)期間の長さに関係なく、サステイン(点灯)期間の長さを決めることが出来る点にある。時間階調方式では、サステイン(点灯)期間の長さを、 $Ts1:Ts2:\dots:Ts_n=2^{(n-1)}:2^{(n-2)}:\dots:1$ として、点灯時間の長さを制御することで階調表現を行う。つまり、1フレーム期間の長さを固定したままで多階調化を図るには、最小単位のサステイン(点灯)期間をより短くする必要がある。このような場合にも、容易にサステイン(点灯)期間の長さを決めることが出来る。

【0064】反面、デメリットとして、アドレス(書き込み)期間においては、画面内のいずれの画素も点灯しないため、デューティ比(1フレーム期間の長さに対する、全てのサステイン(点灯)期間の合計長さの比)が低下する点がある。前述のように、サステイン(点灯)期間の長さを自由に決めることが出来る反面、多階調化によってアドレス(書き込み)期間の数が増加すると、さらにデューティ比を低下させることになり、これを解決するには駆動回路の動作周波数を引き上げてアドレス(書き込み)期間自体を短くする以外に無く、実際にはこの方式で多階調化を図るには限界がある。また、ある行でゲート信号線が選択されている間、他の行(801で示す領域)では書き込みも点灯も行われていないことになることから、フレーム期間内に無駄が多くなる点も挙げられる。

【0065】そこで、図8(B)に示すように、アドレス(書き込み)期間とサステイン(点灯)期間とが一部重複するような駆動方式を挙げる。この方式によると、例えばk行目のゲート信号線が選択され、画素への信号の書き込みが終了すると、直ちにk行目のEL素子はサステイン(点灯)期間に入る。そして次にk行目のゲート信号線が選択されるまでの間、サステイン(点灯)期間が継続する。つまり、k行目のゲート信号線が選択されている期間においては、k行目を除く全ての行のEL素子はサステイン(点灯)期間にあるということである。よって、デューティ比を高くすることが出来るため、多階調化を図る際にも有効な方式である。

【0066】ただし、異なるサブフレームのアドレス（書き込み）期間同士が重複すると、同時に異なる複数のゲート信号線が選択されることになるため、正常に映像信号の書き込みが行えない。よって、図8（B）のような方式では、サステイン（点灯）期間の長さの最小単位は少なくとも、1行目のゲート信号線の選択が終了してから、最終行のゲート信号線の選択が終了するまでの期間（802）よりも長くする必要がある。

【0067】図6と、図9に示すタイミングチャートとを参照して、図8（B）にて示した方式による実際の駆動について説明する。図9（A）では、4ビットの階調表現のため、1フレーム期間を4個のサブフレーム期間に分割している。図9（B）は、図9（A）の中のある1個のサブフレーム期間について、ゲート信号線609と画素選択信号線614の電位を示したものである。

【0068】まず、1行目のゲート信号線が選択される（901）。この1水平期間の前半では、画素選択信号線614にはHi信号が入力され（902）、Nチャンネル型TFT615が導通する。よってこの間は画素Aの側のみ信号の書き込みが行われる（905）。その後、1水平期間の後半で、画素選択信号線614にLo信号が入力されることで、先程導通していたNチャンネル型TFT615は非導通状態となり、代わってPチャンネル型TFT616が導通する。よってこの間は画素Bの側のみ信号の書き込みが行われる（907）。ここで、画素Bに信号の書き込みが行われている時には、画素Aは既にサステイン（点灯）期間に入っている（906）。画素Bも、信号の書き込みが終了したらただちにサステイン（点灯）期間に入る（908）。

【0069】以上の動作が各行のゲート信号線の選択ごとに繰り返され、最終行において、1水平期間の前半と後半に、それぞれ画素A、画素Bへの書き込みが行われて（909、911）、アドレス（書き込み）期間は終了する。たとえば、k行目の画素Aにおけるサステイン（点灯）期間は、次のアドレス（書き込み）期間で、再びk行目のゲート信号線が選択され、その前半で画素Aへの信号の書き込みが始まる（915）直前まで続く。以上の動作を全てのサブフレーム期間で行うことにより、画像の表示を行う。

【0070】ここまでの説明で明らかになったように、k行目のゲート信号線が選択されている期間においては、k行目を除くゲート信号線によって制御されている画素は、すべてサステイン（点灯）期間に入っている。さらにその時、k行目において、1水平期間の前半で画素Aに信号の書き込みが行われている時には、画素Bはまだサステイン（点灯）期間にあり、1水平期間の後半で画素Bに信号の書き込みが行われる時には、画素Aはサステイン（点灯）期間に入っている。よって、実施例1にて説明したタイミングに比べて、デューティ比を大幅に高くすることが出来る。

【0071】図6（A）に示した構造によると、R、G、B3色に対応した画素を有するカラー表示用の電子装置にも容易に適用出来る。各画素は、EL素子の横に付したR、G、Bに対応しているとする。EL素子は、R、G、Bの各色において、その電圧-輝度特性が異なるため、同一の輝度を得るには、各電流供給線630、640、650、660、670、680には異なる電位を与える必要がある。具体的には、電流供給線630、660にはRに対応した電位を、電流供給線640、670にはGに対応した電位を、電流供給線650、680にはBに対応した電位を与える。ソース信号線635にはRとGの信号を入力し、ソース信号線645にはBとRの信号を入力し、ソース信号線655にはGとBの信号を入力してやれば良い。

【0072】[実施例3]モノクロ階調表示用の電子装置の場合には、カラー表示用の電子装置と異なり、EL素子の発光色ごとの電圧-輝度特性が関係しないため、図10（A）（B）に示すように、電流供給線1030、1040、1050、1060を隣接した画素同士で共有することが容易に出来る。本発明の電子装置は、特に高精細化によって画素ピッチが狭くなる点を課題の出発点としているが、画素ピッチが狭くなると、当然開口率の低下を招くことは明らかであり、本実施例にて示したように、電流供給線を共有して配線本数を減少させることは大変有効かつ容易な手段であるといえる。

【0073】[実施例4]実施例2で、アドレス（書き込み）期間とサステイン（点灯）期間とを完全に分離しないタイミングについては、サステイン（点灯）期間の最小単位長さに制限があることとその理由を説明した。本実施例では、その解決方法と実際の駆動について説明する。

【0074】図11（A）は、図8（B）と同じ、4ビットの階調表示を行う場合のタイミングチャートであるが、Tsの長さが、前述した最小単位長さよりも短いため、アドレス（書き込み）期間Taと、次のフレーム期間のSF1におけるアドレス（書き込み）期間Taとが、1101で示す期間で重複している。この期間では、異なる複数のゲート信号線が同時に選択されることになり、同一の信号が画素に書き込まれるため、正常な画像の表示が行われなくなる。

【0075】そこで、図11（B）に示すように、アドレス（書き込み）期間の重複が起こる部分で、サステイン（点灯）期間の終了後、強制的に非表示期間1102を設ける。この非表示期間1102においては、画素に書き込まれた信号には関係なく、EL素子は消灯する。このようにすることで、複数のアドレス（書き込み）期間が重複することを回避することが出来る。

【0076】続いて、図11（B）にて示した非表示期間を設ける方法について説明する。まず、非表示期間を設ける方法について説明する。ここで説明する方法によ

り非表示期間を設ける場合には、特別な回路は必要としない。したがって、図6、図10に示したような本発明を適用した画素であっても、図22に示したような通常の画素であっても実施が可能である。ここでは、図12(A)(B)を用いて説明する。

【0077】図12(A)はEL駆動用TFT周辺の回路図である。EL素子1205の発光は、EL素子1205に電流が流れることでなされる。この電流は、EL駆動用TFT1202のソース領域とドレイン領域間に電位差(今後、この電位差を、ソース・ドレイン間電圧と表記する)があること、つまり、電流供給線1201と陰極配線1206との間に電位差があることで流れる。よって、通常のサステイン(点灯)期間においては、電流供給線1201の電位に対し、陰極配線1206の電位は低くなっている。そこで、非表示期間において、この陰極配線1206の電位を、電流供給線1201の電位と同電位まで引き上げる。この操作により、EL駆動用TFT1202のソース・ドレイン間電圧は0となり、EL素子1205には電流が流れなくなって消灯する。(図12(B))この非表示期間中は、画素に書き込まれる信号に関係なく、強制的にEL素子1205を消灯させておくことが出来る。

【0078】図13は、4ビット階調表示を、図11(B)に示したようなタイミングで行う場合の、ゲート信号線、画素選択信号線および陰極配線の電位を示している。最下位ビット分のサブフレームであるSF₁のサステイン(点灯)期間T_{s1}がT_{a1}よりも短いため、非表示期間(今後、クリア期間と表記する)を設けてアドレス(書き込み)期間の重複を回避する。図13中、実線で示されているサステイン(点灯)期間は、1水平期間の前半に書き込みの行われる画素Aについてのものであり、破線で示されているサステイン(点灯)期間は、1水平期間の後半に書き込みの行われる画素Bについてのものである。

【0079】SF₁~SF₃は、前述したとおりの方法によって正常に駆動することが出来るので、ここでは説明を省略する。SF₄において、1水平期間の前半で画素Aへの書き込みがなされ、直ちにサステイン(点灯)期間T_{s1}に入る。その後、1水平期間の後半で画素Bへの書き込みがなされ、直ちにサステイン(点灯)期間T_{s4}に入る。T_{s1}が終了するタイミングで、クリア期間T_{c1}を設ける。陰極配線の電位を上げ、電流供給線の電位と同電位とすることにより、EL駆動用TFTのソース・ドレイン間電圧が0となり、EL素子が消灯する。その後、SF₄におけるアドレス(書き込み)期間が完全に終了するまで、このクリア期間は継続される。

【0080】以上のような駆動方法によって、前述したような、サステイン(点灯)期間が短いために、通常の駆動方法ではアドレス(書き込み)期間が重複するようなタイミングであっても、正常な画像の表示が可能とな

る。これにより、さらなる多階調化を実現することが出来る。

【0081】また、図13に示したタイミングでは、画素Aおよび画素Bにおけるクリア期間T_{c1}の開始のタイミングが同時であるため、わずかながら画素Bのサステイン(点灯)期間が短くなっていることがわかる。これを回避するには、陰極配線を2系統とし、陰極配線の電位を上げるタイミングを画素Aと画素Bとでずらしてやれば容易に回避が可能である。

【0082】また、EL駆動用TFTのソース・ドレイン間電圧を0とするには、陰極配線の1206の電位は固定とし、電流供給線1201の電位を変化させる方法を用いても良い。具体的には、通常のサステイン(点灯)期間においては、陰極配線1206の電位よりも電流供給線1201の電位は高く(低く)なっており、EL素子に電流が流れる。非表示期間において、電流供給線1201の電位を低く(高く)し、陰極配線の電位と同電位とする。これによって、前述の方法と同様、EL素子には電流が流れなくなって消灯する。

【0083】[実施例5]本実施例では、本発明の電子装置の画素部とその周辺に設けられる駆動回路部(ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路)のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本構成回路であるCMOS回路を図示することとする。

【0084】まず、図14(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10~200[nm](好ましくは50~100[nm])形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50~200[nm](好ましくは100~150[nm])の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0085】島状半導体層5003~5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003~5006の厚さは25~80[nm](好ましくは30~60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0086】レーザー結晶化法で結晶質半導体膜を作製

するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30 [Hz]とし、レーザーエネルギー密度を100~400 [mJ/cm²] (代表的には200~300 [mJ/cm²]) とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10 [kHz]とし、レーザーエネルギー密度を300~600 [mJ/cm²] (代表的には350~500 [mJ/cm²]) とすると良い。そして幅100~1000 [μ m]、例えば400 [μ m]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98 [%]として行う。

【0087】次いで、島状半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150 [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40 [Pa]、基板温度300~400 [°C]とし、高周波(13.56 [MHz])、電力密度0.5~0.8 [W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500 [°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0088】そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50~100 [nm]の厚さに形成し、第2の導電膜5009をWで100~300 [nm]の厚さに形成する。

【0089】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相のTa膜の抵抗率は20 [$\mu\Omega$ cm]程度でありゲート電極に使用することが出来るが、 β 相のTa膜の抵抗率は180 [$\mu\Omega$ cm]程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを10~50 [nm]程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることが出来る。

【0090】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [$\mu\Omega$ cm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20 [$\mu\Omega$ cm]を実現することが出来る。

【0091】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル(TaN)で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0092】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とC₄I₂を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100 [W]のRF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とC₄I₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0093】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20 [%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4 (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50 [nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1

の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。(図14(A))

【0094】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60~100 [keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5015がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5025が形成される。第1の不純物領域5017~5025には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でN型を付与する不純物元素を添加する。

(図14(B))

【0095】次に、図14(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF₄とC₁とO₂とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026~5031(第1の導電層5026a~5031aと第2の導電層5026b~5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026~5031で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0096】W膜やTa膜のCF₄とC₁の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWC₁、TaF₃、TaC₁は同程度である。従って、CF₄とC₁の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0097】そして、図15(A)に示すように第2の

ドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120 [keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図14(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026~5030を不純物元素に対するマスクとして用い、第1の導電層5026a~5030aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032~5036が形成される。この第3の不純物領域5032~5036に添加されたリン(P)の濃度は、第1の導電層5026a~5030aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a~5030aのテーパー部と重なる半導体層において、第1の導電層5026a~5030aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0098】図15(B)に示すように第3のエッチング処理を行う。エッチングガスにCHF₃を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a~5031aのテーパー部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037~5042(第1の導電層5037a~5042aと第2の導電層5037b~5042b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037~5042で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0099】第3のエッチング処理によって、第3の不純物領域5032~5036においては、第1の導電層5037a~5041aと重なる第3の不純物領域5032a~5036aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b~5036bとが形成される。

【0100】そして、図15(C)に示すように、Pチャネル型TFTを形成する島状半導体層5004、5006に第1の導電型とは逆の導電型の第4の不純物領域5043~5054を形成する。第3の形状の導電層5038b、5041bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005および配線部5042はレジストマスク5200で全面を被覆しておく。不純物領域5043~5054にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が 2×10

$10 \sim 2 \times 10^{11}$ [atoms/cm³]となるようにする。

【0101】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5041がゲート電極として機能する。また、5042はソース信号線として機能する。

【0102】レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。10
その他に、レーザアニール法、またはラビッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で400～700 [°C]、代表的には500～600 [°C]で行うものであり、本実施例では500 [°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0103】さらに、3～100 [%]の水素を含む雰囲気中で、300～450 [°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0104】次いで、図16(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200 [nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5057～5062、5064をパターンニング形成した後、接続配線5062に接する画素電極5063をパターンニング形成する。

【0105】第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5 [μm](さらに好ましくは2～4 [μm])とすれば良い。

【0106】コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017、5018、5021、5023またはP型の不純物領域5043～5054に達するコンタクトホ

ール、配線5042に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0107】また、配線(接続配線、信号線を含む)5057～5062、5064として、Ti膜を100 [nm]、Tiを含むアルミニウム膜を300 [nm]、Ti膜150 [nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターンニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0108】また、本実施例では、画素電極5063としてITO膜を110 [nm]の厚さに形成し、パターンニングを行った。画素電極5063を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2～20 [%]の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5063がEL素子の陽極となる。(図16(A))

【0109】次に、図16(B)に示すように、珪素を含む絶縁膜(本実施例では酸化珪素膜)を500 [nm]の厚さに形成し、画素電極5063に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜5065を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかないと段差に起因するEL層の劣化が顕著な問題となってしまうため、注意が必要である。

【0110】次に、EL層5066および陰極(MgAg電極)5067を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層5066の膜厚は80～200 [nm](典型的には100～120 [nm])、陰極5067の厚さは180～300 [nm](典型的には200～250 [nm])とすれば良い。

【0111】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、EL層および陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層および陰極を形成するのが好ましい。

【0112】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0113】ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0114】なお、EL層5066としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

【0115】次に、同じゲート信号線にゲート電極が接続されたスイッチング用TFTを有する画素（同じラインの画素）上に、メタルマスクを用いて陰極5067を形成する。なお本実施例では陰極5067としてMgAgを用いたが、本発明はこれに限定されない。陰極5067として他の公知の材料を用いても良い。

【0116】最後に、窒化珪素膜でなるパッシベーション膜5068を300[nm]の厚さに形成する。パッシベーション膜5068を形成しておくことで、EL層5066を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

【0117】こうして図16（B）に示すような構造のELディスプレイが完成する。なお、本実施例におけるELディスプレイの作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0118】ところで、本実施例のELディスプレイは、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0119】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のNチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0120】本実施例の場合、Nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域（ L_{ov} 領域）、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域（ L_{of} 領域）および

チャネル形成領域を含む。

【0121】また、CMOS回路のPチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることとも可能である。

【0122】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、 L_{ov} 領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0123】なお、実際には図16（B）の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

【0124】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このように出荷出来る状態にまでした状態を本明細書中では電子装置という。

【0125】また、本実施例で示す工程に従えば、電子装置の作製に必要なフォトリソの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0126】[実施例6]本実施例においては、本発明の電子装置を作製した例について説明する。

【0127】図17（A）は本発明を用いた電子装置の上面図であり、図17（A）をX-X'面で切断した断面図を図17（B）に示す。図17（A）において、4001は基板、4002は画素部、4003はソース信号線側駆動回路、4004はゲート信号線側駆動回路であり、それぞれの駆動回路は配線4005、4006、4007を経てFPC4008に至り、外部機器へと接続される。

【0128】このとき、画素部4002においては、好ましくは駆動回路および画素部を囲むようにしてカバー

材4009、密封材4010、シーリング材（ハウジング材ともいう）4011（図9（B）に図示）が設けられている。

【0129】また、図17（B）は本実施例の電子装置の断面構造であり、基板4001、下地膜4012の上に駆動回路用TFT（但し、ここではNチャンネル型TFTとPチャンネル型TFTを組み合わせたCMOS回路を図示している）4013および画素部用TFT4014（但し、ここではEL素子への電流を制御するEL駆動用TFTだけ図示している）が形成されている。これらのTFTは公知の構造（トップゲート構造あるいはボトムゲート構造）を用いれば良い。

【0130】公知の作製方法を用いて駆動回路用TFT4013、画素部用TFT4014が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4015の上に画素部用TFT4014のドレインと電気的に接続する透明導電膜でなる画素電極4016を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4016を形成したら、絶縁膜4017を形成し、画素電極4016上に開口部を形成する。

【0131】次に、EL層4018を形成する。EL層4018は公知のEL材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0132】本実施例では、シャドウマスクを用いて蒸着法によりEL層を形成する。シャドウマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層および青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルタを組み合わせた方式、白色発光層とカラーフィルタを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の電子装置とすることもできる。

【0133】EL層4018を形成したら、その上に陰極4019を形成する。陰極4019とEL層4018の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4018と陰極4019を連続成膜するか、EL層4018を不活性雰囲気中で形成し、大気解放しないで陰極4019を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0134】なお、本実施例では陰極4019として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4018上に蒸着法で1[nm]厚のLiF（フッ化リチウム）膜を形成し、その上に300[nm]厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4019は4020で示される領域において配線4007に接続される。配線4007は陰極4019に所定の電圧を与えるための電源線であり、導電性ペースト材料4021を介してFPC4008に接続される。

【0135】4020に示された領域において陰極4019と配線4007とを電気的に接続するために、層間絶縁膜4015および絶縁膜4017にコンタクトホールを形成する必要がある。これらは層間絶縁膜4015のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4017のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4017をエッチングする際に、層間絶縁膜4015まで一括でエッチングしても良い。この場合、層間絶縁膜4015と絶縁膜4017が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができ

る。

【0136】このようにして形成されたEL素子の表面を覆って、パッシベーション膜4022、充填材4023、カバー材4009が形成される。

【0137】さらに、EL素子部を囲むようにして、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材（第2のシーリング材）4010が形成される。

【0138】このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えても良い。

【0139】また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0140】スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0141】また、カバー材4009としては、ガラス

板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用いる場合、数十[nm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0142】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材4009が透光性を有する必要がある。

【0143】また、配線4007はシーリング材4011および密封材4010と基板4001との隙間を通過してFPC4008に電気的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4011および密封材4010の下を通過してFPC4008に電気的に接続される。

【0144】なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面(露呈面)を覆うようにシーリング材4011を取り付けているが、カバー材4009およびシーリング材4011を取り付けてから、充填材4023を設けても良い。この場合、基板4001、カバー材4009およびシーリング材4011で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10⁻² [Torr] 以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0145】[実施例7]ここで本発明の電子装置における画素部のさらに詳細な断面構造を図18に示す。

【0146】図18において、基板4501上に設けられたスイッチング用TFT4502は本実施例では公知の方法で形成されたNチャネル型TFTを用いる。本実施例ではダブルゲート構造としているが、構造および作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に2つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。

【0147】また、EL駆動用TFT4503は公知の方法で形成されたNチャネル型TFTを用いる。スイッチング用TFT4502のドレイン配線4504は配線(図示せず)によってEL駆動用TFT4503のゲート電極4506に電気的に接続されている。

【0148】また、本実施例ではEL駆動用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列に接続したマルチゲート構造としても良い。

さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0149】また、EL駆動用TFT4503のゲート電極4506を含む配線(図示せず)は、EL駆動用TFT4503のドレイン配線4512と絶縁膜を介して一部で重なり、その領域では保持容量が形成される。この保持容量はEL駆動用TFT4503のゲート電極4506にかかる電圧を保持する機能を有する。

【0150】スイッチング用TFT4502およびEL駆動用TFT4503の上には第1の層間絶縁膜4514が設けられ、その上に樹脂絶縁膜でなる第2の層間絶縁膜4515が形成される。

【0151】4517は反射性の高い導電膜でなる画素電極(EL素子の陰極)であり、EL駆動用TFT4503のドレイン領域に一部が覆い被さるように形成され、電気的に接続される。画素電極4517としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0152】次に有機樹脂膜4516を画素電極4517上に形成し、画素電極4517に面する部分をバタニングした後、発光層4519が形成される。なおここでは図示していないが、R(赤)、G(緑)、B(青)の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン(PPV)系、ポリビニルカルバゾール(PVK)系、ポリフルオレン系などが挙げられる。

【0153】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder and H. Spreitzer: "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0154】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150[nm] (好ましくは40~100[nm]) とすれば良い。

【0155】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層(発光およびそのためのキャリアの移動を行わせるための層)を形成すれば良い。

【0156】例えば、本実施例ではポリマー系材料を発

光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0157】陽極4523まで形成された時点でEL素子4510が完成する。なお、ここでいうEL素子4510とは、画素電極（陰極）4517と、発光層4519と、正孔注入層4522および陽極4523で形成された保持容量とを指す。

【0158】ところで、本実施例では、陽極4523の上にさらにパッシベーション膜4524を設けている。パッシベーション膜4524としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これにより電子装置の信頼性が高められる。

【0159】以上のように本実施例において説明してきた電子装置は図18のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強いEL駆動用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な電子装置が得られる。

【0160】本実施例において説明した構造を有するEL素子の場合、発光層4519で発生した光は、矢印で示されるようにTFTが形成された基板の逆方向に向かって放射される。

【0161】[実施例8]本実施例においては、実施例7の図18に示した画素部において、EL素子4510の構造を反転させた構造について説明する。説明には図19を用いる。なお、図18の構造と異なる点はEL素子の部分とTFT部分だけであるので、その他の説明は省略することとする。

【0162】図19において、スイッチング用TFT4502は公知の方法で形成されたNチャネル型TFTを用いる。EL駆動用TFT4503は公知の方法で形成されたPチャネル型TFTを用いる。

【0163】本実施例では、画素電極（陽極）4525として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0164】そして、樹脂膜でなる第3の層間絶縁膜4526が形成された後、発光層4528が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層4529、アルミニウム合金でなる陰極4530が形成される。

【0165】その後、実施例7と同様に、有機EL材料の酸化を防止するためのパッシベーション膜4532が

形成され、こうしてEL素子4531が形成される。

【0166】本実施例において説明した構造を有するEL素子の場合、発光層4528で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0167】[実施例9]実施例7、実施例8において示した電子装置は、駆動回路を構成するTFTに逆スタガ型TFTを用いても、容易に作成することが出来る。図20を参照して説明する。なお、実施例7、実施例8と共通する部位に関しては、図18、図19と同様の番号を付す。

【0168】図20において、基板4501上に設けられたスイッチング用TFT4502は本実施例では公知の方法で形成されたNチャネル型TFTを用いる。本実施例ではシングルゲート構造としているが、ダブルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、スイッチング用TFT4502は、ソース領域とドレイン領域との両側に、ゲート電極と重複する部分と重複しない部分とに渡ってLDD領域が設けられているが、特にLDD領域を設けないTFTを用いても良い。

【0169】また、EL駆動用TFT4503は公知の方法で形成されたPチャネル型TFTを用いる。スイッチング用TFT4502のドレイン配線4533は配線（図示せず）によってEL駆動用TFT4503のゲート電極4534に電気的に接続されている。

【0170】また、本実施例ではEL駆動用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列に接続したマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0171】また、EL駆動用TFT4503のゲート電極4534を含む配線（図示せず）は、EL駆動用TFT4503のソース配線4535と絶縁膜を介して一部で重なり、その領域では保持容量が形成される。この保持容量はEL駆動用TFT4503のゲート電極4534にかかる電圧を保持する機能を有する。

【0172】スイッチング用TFT4502およびEL駆動用TFT4503の上には第1の層間絶縁膜4536が設けられ、その上に樹脂絶縁膜でなる第2の層間絶縁膜4537が形成される。

【0173】その後、実施例7、実施例8と同様に、画素電極（陽極）4538、発光層4539、電子注入層4540、陰極4541、パッシベーション膜4542が形成され、EL素子4531が形成される。

【0174】本実施例において説明した構造を有するEL素子の場合、発光層4539で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって

放射される。

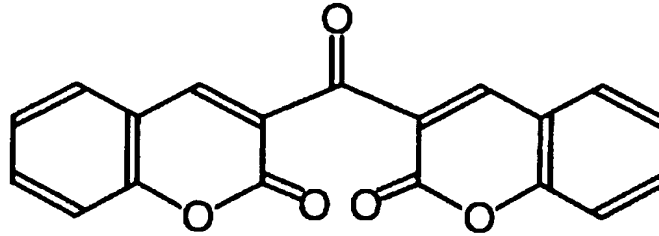
【0175】[実施例10]本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0176】ここで、三重項励起子を利用し、外部発光*

* 量子効率を向上させた報告を示す。(T.Tsutsui, C.Adauchi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.) 上記の論文により報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0177】

【化1】

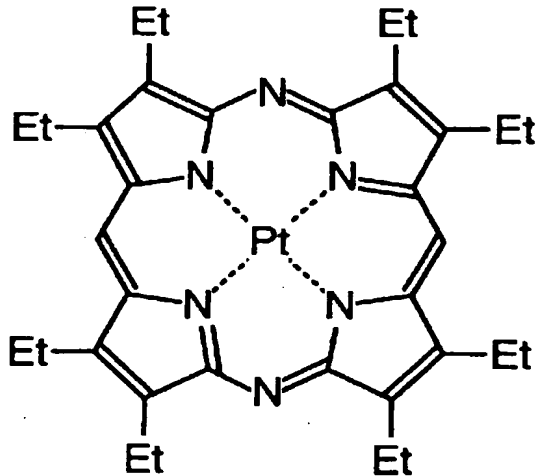


【0178】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記の論文により報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0179】

【化2】



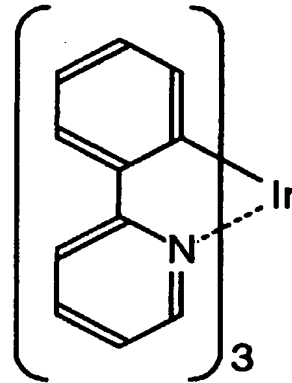
【0180】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.)

(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayauchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0181】

【化3】



【0182】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1~実施例9のいずれの構成とも自由に組み合わせて実施することが可能である。

【0183】[実施例11]本発明の電子装置およびその駆動方法を応用したELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることが出来る。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上(典型的には40インチ以上)のELディスプレイの表示部において本発明の電子装置およびその駆動方法を用いると良い。

【0184】なお、ELディスプレイには、パソコン用表示装置、TV放送受信用表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部に本発明の電子装置およびその駆動方法を用いることが出来る。

【0185】その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置(ヘッドマウントディスプレイ)、ナビゲーションシステム、

音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図23および図24に示す。

【0186】図23（A）はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の電子装置およびその駆動方法は表示部3303にて用いることが出来る。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【0187】図23（B）はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の電子装置およびその駆動方法は表示部3312にて用いることが出来る。

【0188】図23（C）はヘッドマウントELディスプレイの一部（右片側）であり、本体3321、信号ケーブル3322、頭部固定バンド3323、表示部3324、光学系3325、表示装置3326等を含む。本発明の電子装置およびその駆動方法は表示装置3326にて用いることが出来る。

【0189】図23（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体3331、記録媒体（DVD等）3332、操作スイッチ3333、表示部（a）3334、表示部（b）3335等を含む。表示部（a）3334は主として画像情報を表示し、表示部（b）3335は主として文字情報を表示するが、本発明の電子装置およびその駆動方法はこれら表示部（a）3334、表示部（b）3335にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0190】図23（E）はゴーグル型表示装置（ヘッドマウントディスプレイ）であり、本体3341、表示部3342、アーム部3343を含む。本発明の電子装置およびその駆動方法は表示部3342にて用いることが出来る。

【0191】図23（F）はパーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明の電子装置およびその駆動方法は表示部3353にて用いることが出来る。

【0192】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投

影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0193】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0194】また、ELディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0195】図24（A）は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の電子装置およびその駆動方法は表示部3404にて用いることが出来る。なお、表示部3404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【0196】図24（B）は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の電子装置およびその駆動方法は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3414は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0197】図24（C）はデジタルカメラであり、本体3501、表示部（A）3502、接眼部3503、操作スイッチ3504、表示部（B）3505、バッテリー3506を含む。本発明の電子装置は、表示部（A）3502、表示部（B）3505にて用いることが出来る。また、表示部（B）3505を、主に操作パネルとして用いる場合、黒色の背景に白色の文字を表示することで消費電力を抑えることが出来る。

【0198】また、本実施例にて示した携帯型電子機器においては、消費電力を低減するための方法としては、外部の明るさを感知するセンサ部を設け、暗い場所で使用する際には、表示部の輝度を落とすなどの機能を付加するなどといった方法が挙げられる。

【0199】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～実施例10に示したいずれの構成を適用しても良い。

【発明の効果】通常、水平方向にm個の画素を有する場

合は、ソース信号線側駆動回路は m 段を有していたが、本発明の構成を用いることにより、 $m/2$ 段にすることが出来る。また、動作周波数を引き上げる必要等も無いため、信頼性の面でも問題はない。よって、画面の高精細化による画素ピッチが狭くなることによって、駆動回路の配置スペースを圧迫されることによる設計上の問題を回避することが出来、電子装置の高精細化に大いに貢献出来る。

【0200】また、画素部でソース信号線を共用することで全体の配線数を減らすことも可能であり、開口率の面においても通常の構造の画素部よりも有利となる点もあるといえる。

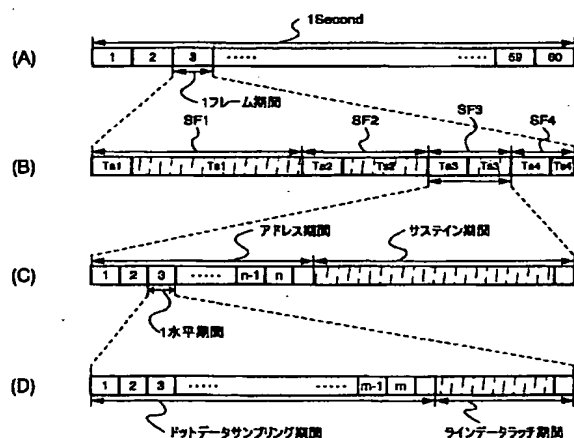
【図面の簡単な説明】

- 【図1】 本発明の電子装置の画素の構成を示す図。
 【図2】 従来の電子装置と本発明の電子装置との間の、駆動回路の段数の違いを示す図。
 【図3】 時間階調方式によるタイミングチャートを示す図。
 【図4】 本発明の電子装置における、時間階調方式によるタイミングチャートを示す図。
 【図5】 実施例1に示した、本発明の電子装置の回路構成例を示す図。
 【図6】 実施例1に示した、本発明の電子装置の画素部の回路構成例を示す図。
 【図7】 実施例1に示した、本発明の電子装置の駆動方法のタイミングチャートを示す図。
 【図8】 実施例2に示した、本発明の電子装置の駆動方法のタイミングチャートを示す図。

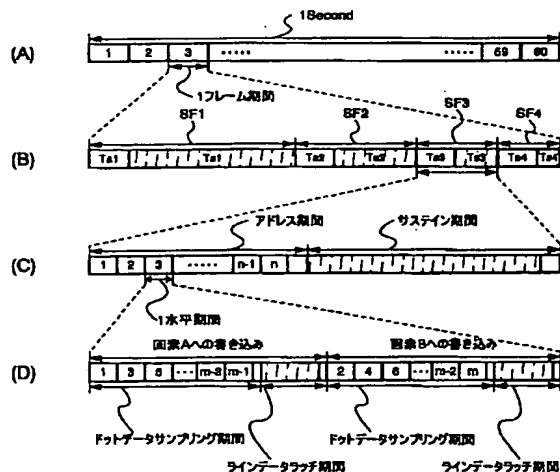
*

- *【図9】 実施例2に示した、本発明の電子装置の駆動方法のタイミングチャートを示す図。
 【図10】 実施例3に示した、本発明の電子装置の画素部の回路構成例を示す図。
 【図11】 実施例4に示した、非表示期間を設ける駆動方法に関するタイミングチャートを示す図。
 【図12】 EL駆動用トランジスタのソース・ドレイン間電圧とEL素子の点灯の関係を説明する図。
 【図13】 実施例4に示した、非表示期間を設ける駆動方法に関するタイミングチャートを示す図。
 【図14】 実施例5に示した、本発明の電子装置の作成工程例を示す図。
 【図15】 実施例5に示した、本発明の電子装置の作成工程例を示す図。
 【図16】 実施例5に示した、本発明の電子装置の作成工程例を示す図。
 【図17】 実施例6に示した、電子装置の上面および断面を示す図。
 【図18】 実施例7に示した、電子装置の断面図。
 【図19】 実施例8に示した、電子装置の断面図。
 【図20】 実施例9に示した、電子装置の断面図。
 【図21】 電子装置の回路構成例を示す図。
 【図22】 通常の電子装置における画素部の構成を示す図。
 【図23】 実施例11に示した、本発明の電子装置を適用した電子機器の例を示す図。
 【図24】 実施例11に示した、本発明の電子装置を適用した電子機器の例を示す図。

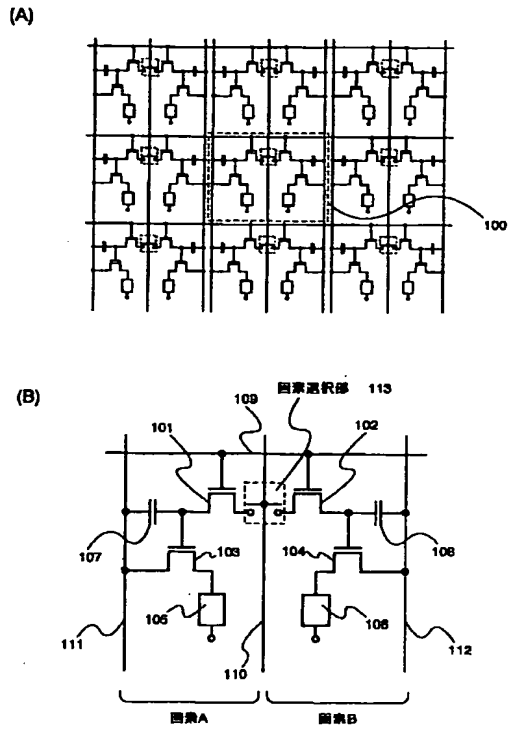
【図3】



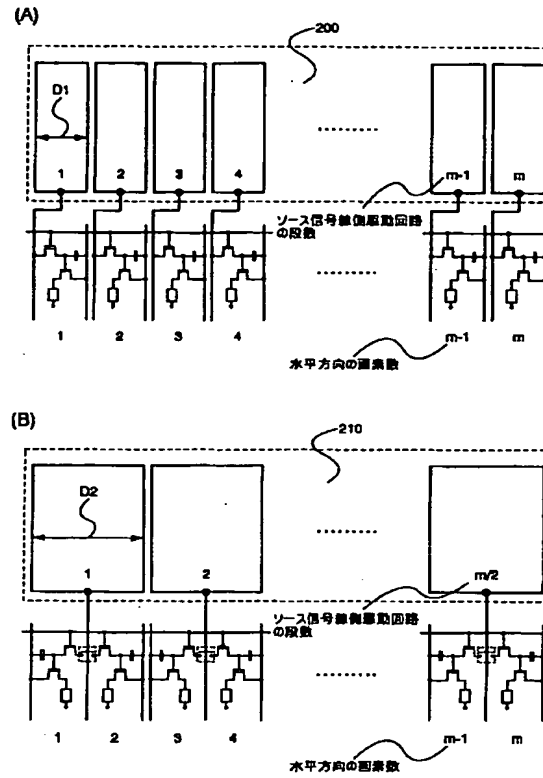
【図4】



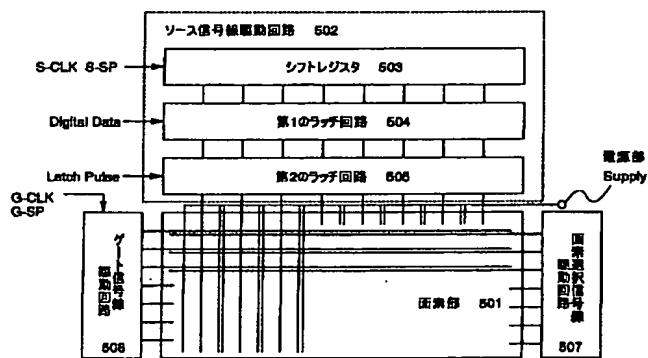
【図1】



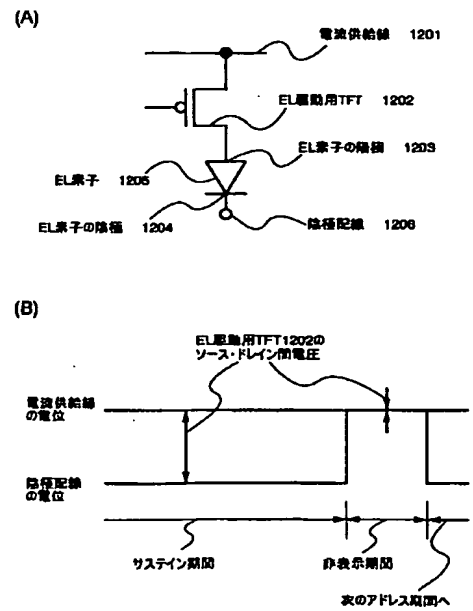
【図2】



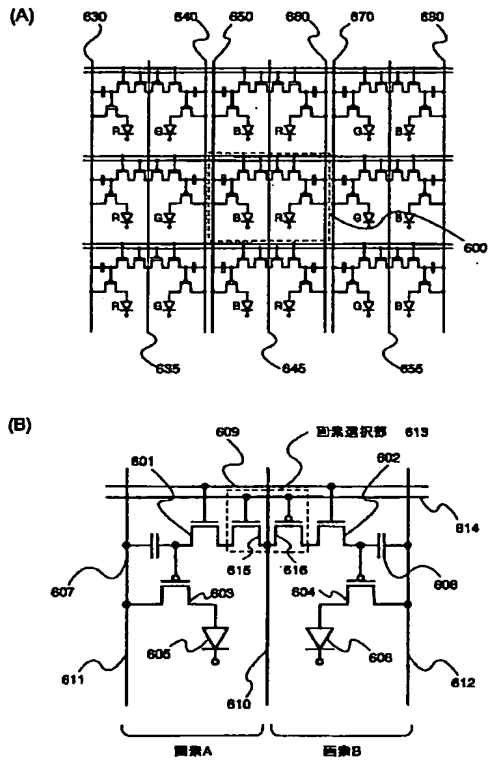
【図5】



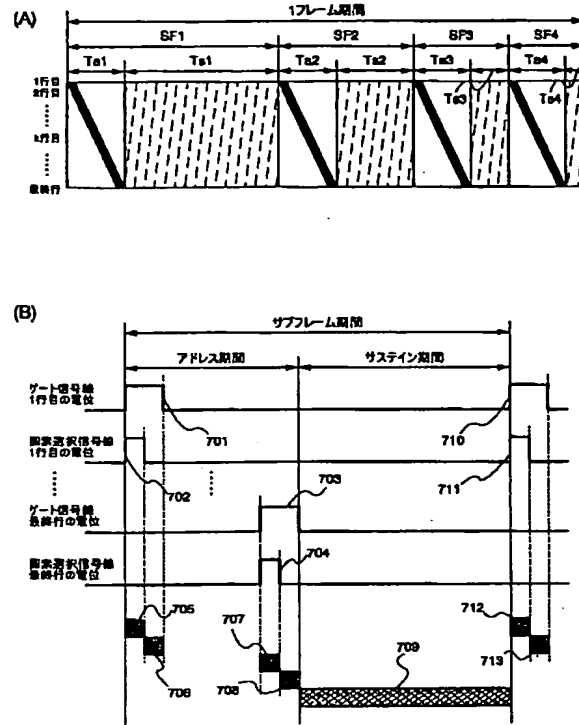
【図12】



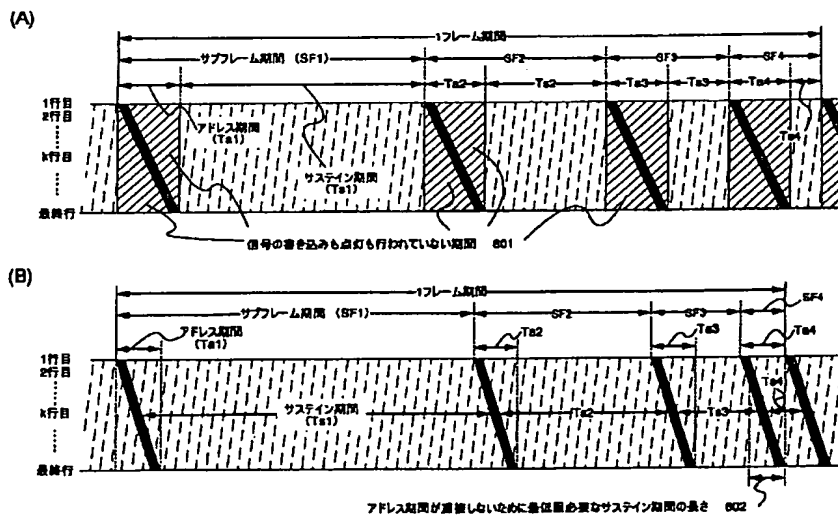
【図6】



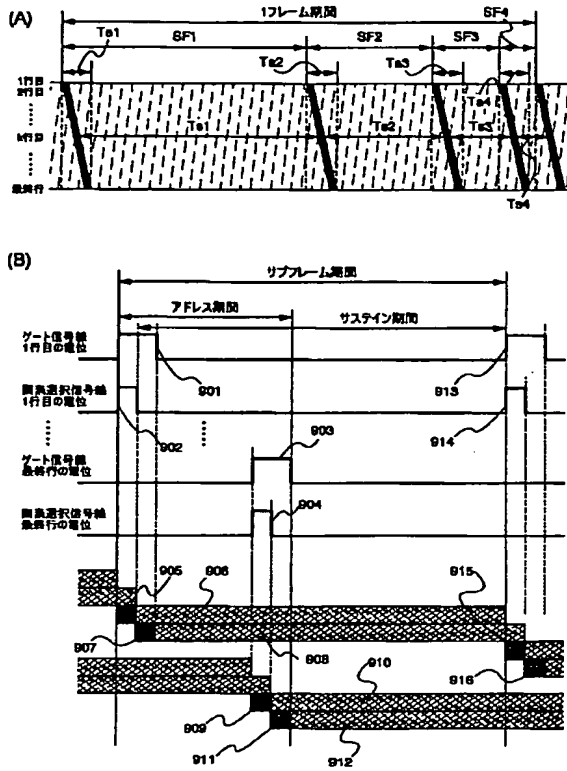
【図7】



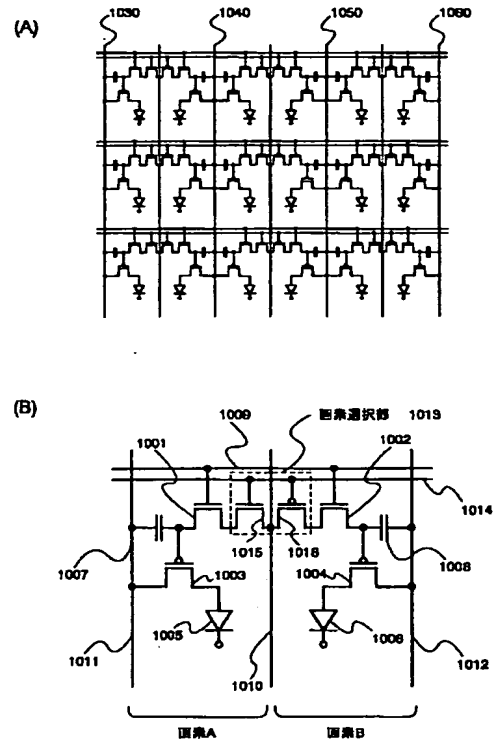
【図8】



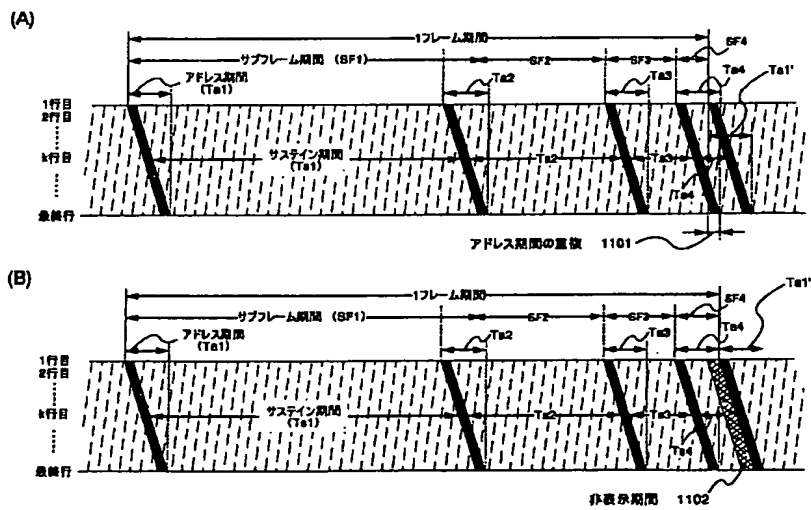
【図9】



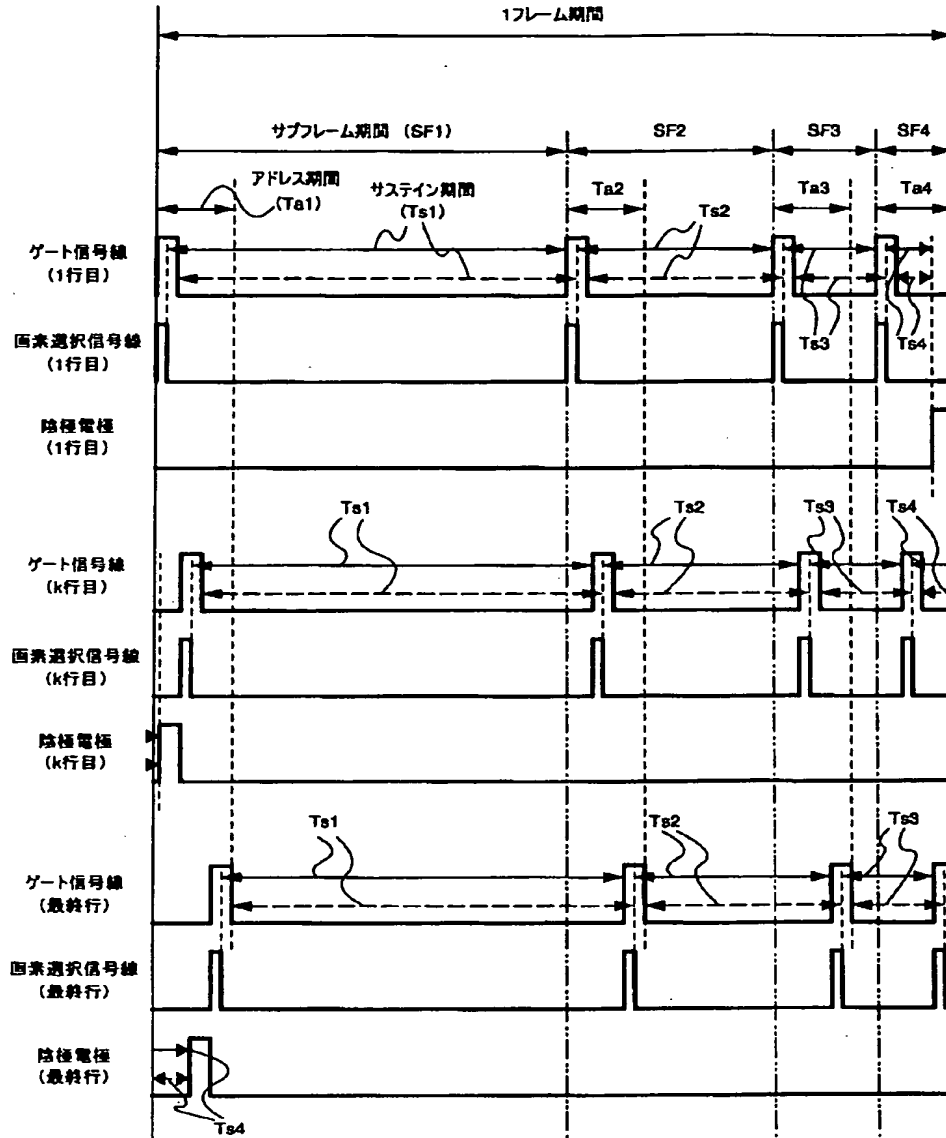
【図10】



【図11】



【図13】




(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜の形成

(B) 第1のエッチング処理、第1のドーピング処理

(C) 第2のエッチング処理

5001: 基板
5002: 平層
5003~5006: 半導体層
5007: ゲート絶縁膜
5008: 第1の導電膜
5009: 第2の導電膜
5010: レジストマスク
5011~5018: 第1の形状の導電膜
5019: 第1の導電膜
5020: 第2の導電膜
5021~5028: 第1の半導体領域
5029~5031: 第2の形状の導電膜
5032a~5032b: 第1の導電層
5033a~5033b: 第2の導電層

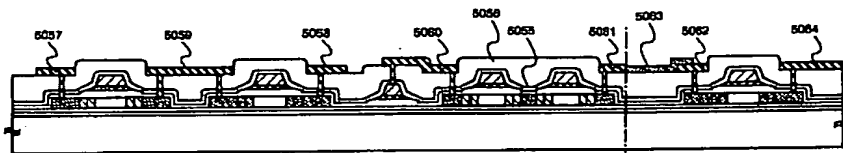
(A) 第2のドーピング処理



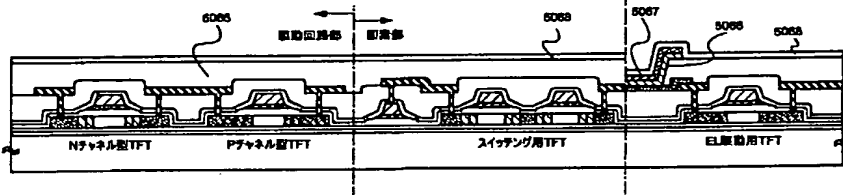
(B) 第3のエッチング処理

【圖 16】

(A) 第1, 第2の層間絶縁膜, 配線, 圖案電極形成



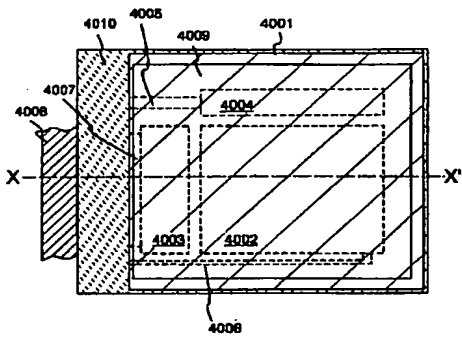
(B) 第3の層間絶縁膜、EL層、陰極電極、パッシベーション膜形成



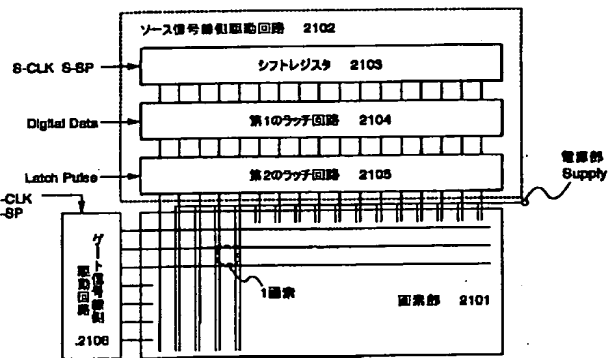
5065: 第1の屠肉絶頂録	5060~5062: 神槍配給	5068: EL男
5058: 第2の屠肉絶頂録	5063: 国策電話	5067: 陰謀
5077~5058: ソース配給	5064: 電報決戦録	5069: パッツパースン男
5059: ドレイン配給	5065: 第3の屠肉絶頂録	

【圖 17】

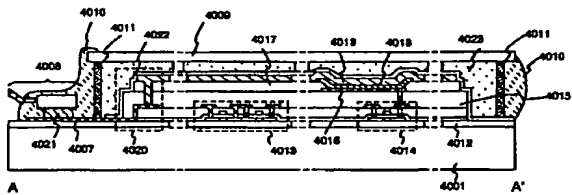
(A)



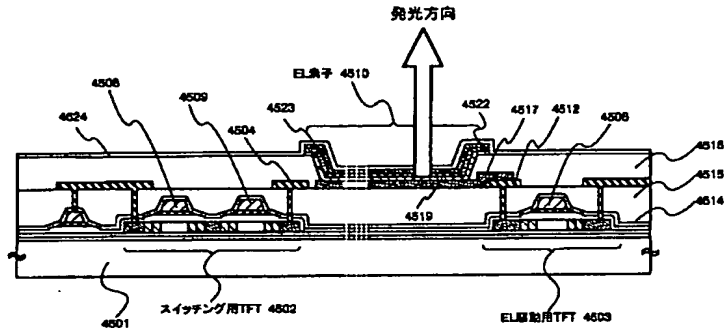
【圖 21】



(B)

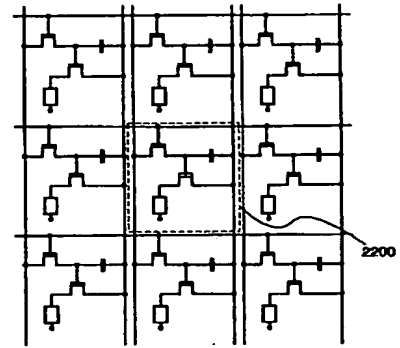


【図18】

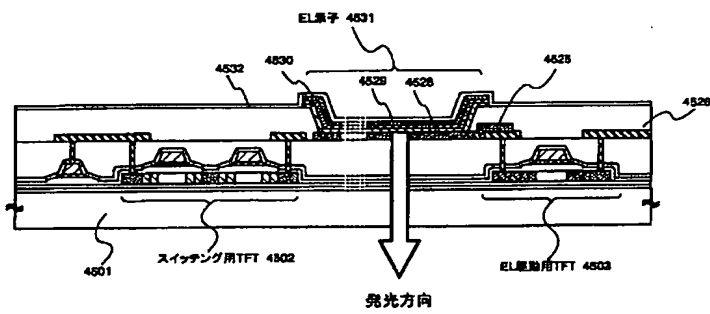


【図22】

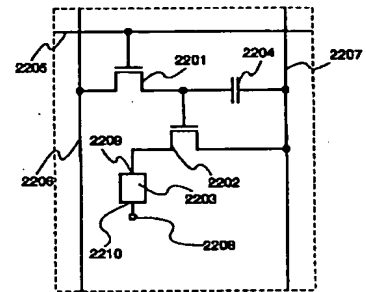
(A)



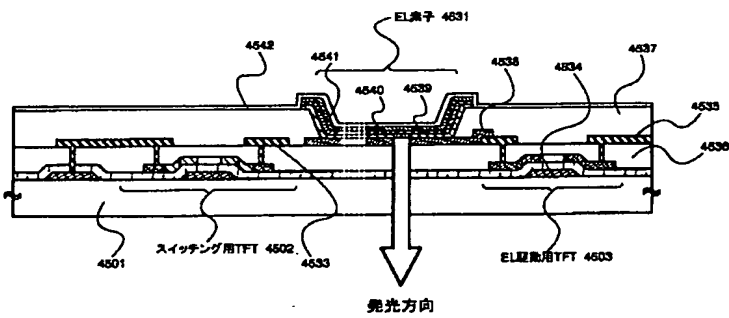
【図19】



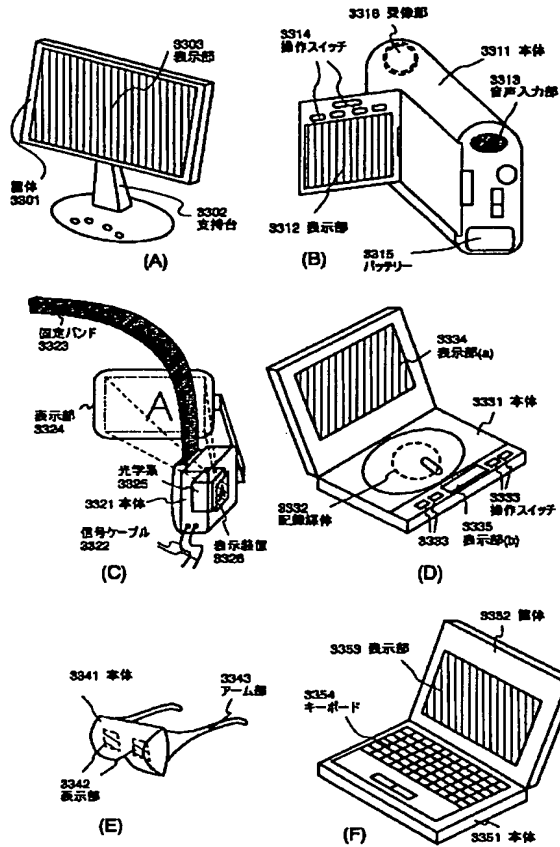
(B)



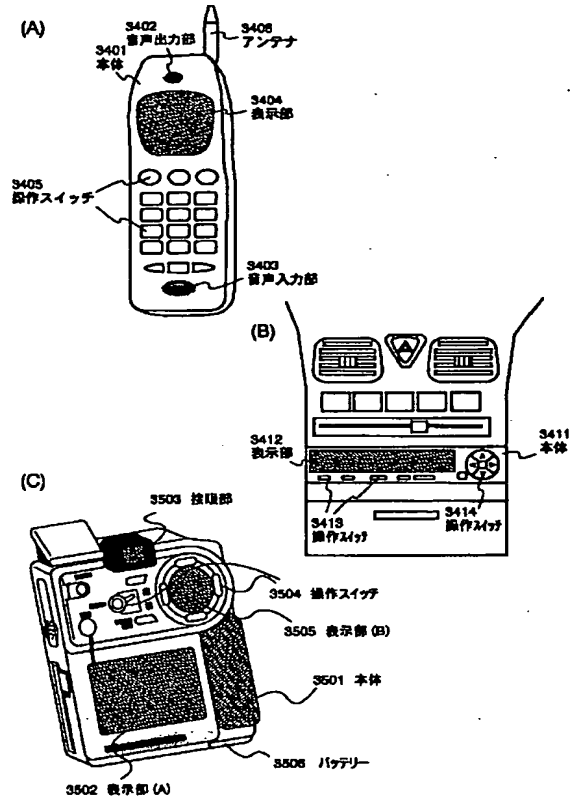
【図20】



【図23】



【図24】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

識別記号

6 2 4

6 4 1

6 8 0

F I

G 0 9 G 3/20

テーマコード(参考)

6 2 4 B

6 4 1 F

6 8 0 P

6 8 0 S

6 8 0 V

H 0 5 B 33/08

33/14

H 0 5 B 33/08

33/14

A

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.